

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-35878

(P2000-35878A)

(43) 公開日 平成12年2月2日 (2000.2.2)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G 0 6 F 7/50

G 0 6 F 7/50

N 5 B 0 1 6

G 0 6 G 7/14

G 0 6 G 7/14

J 5 B 0 2 4

G 1 1 C 11/56

G 1 1 C 11/34

3 8 1 D

審査請求 未請求 請求項の数13 F D (全 26 頁)

(21) 出願番号

特願平10-219846

(22) 出願日

平成10年7月17日 (1998.7.17)

(71) 出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿6丁目24番1号 西新
宿三井ビル

(72) 発明者 橋本 征史

東京都港区北青山3丁目6番12号 青山富
士ビル 日本テキサス・インスツルメンツ
株式会社内

(74) 代理人 100086564

弁理士 佐々木 聖孝

Fターム(参考) 5B016 AA01 AA02 BA03 CA01 DA04
GA02

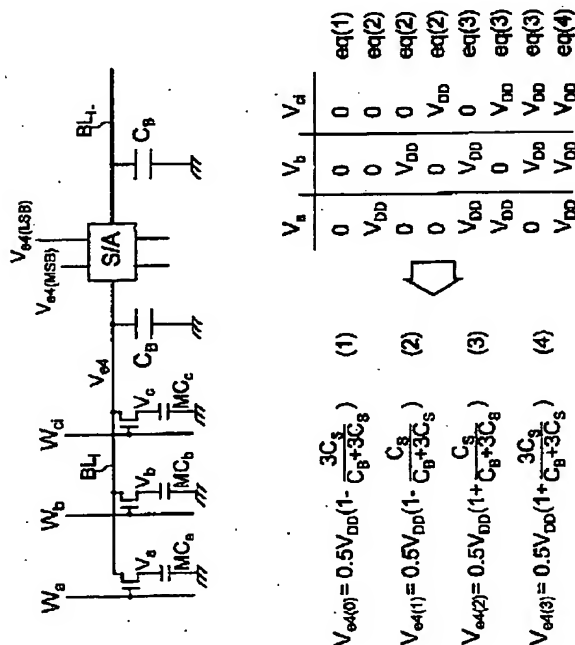
5B024 AA15 BA09 CA07 CA25

(54) 【発明の名称】 加算演算装置及び加算演算機能付き半導体メモリ装置

(57) 【要約】

【課題】 メモリアレイそのものを利用して加算演算を実現する。

【解決手段】 2つの2進数データについて各桁の加算演算を行う場合は、DRAMにおける通常の書き込み手順により各メモリセルMCa, MCb, MCcに2値入力ビットの値を予め書き込んでおく。ビット線BLi, BLi-を基準電圧0.5VDDにプリチャージしてから、各対応するワード線Wa, Wb, Wcをアクティブにして、各メモリセルMCa, MCb, MCcの蓄積電荷を共通ビット線BLiを介して加え合わせる。第1のセンスアンプS/A1は、通常の2値型の検知増幅動作を行い、ビット線BLiの電位Ve4と比較基準電圧Vref1との大小関係に応じて“1”もしくは“0”の2値データを出力する。第2のセンスアンプS/A2も、通常の2値型の検知増幅動作を行い、ビット線BLiの電位Ve4と比較基準電圧Vref2との大小関係に応じて“1”もしくは“0”の2値データを出力する。この結果、センスアンプS/A1, S/A2より2ビット2進数データ[Ve4(MSB), Ve4(LSB)]が得られる。



【特許請求の範囲】

【請求項 1】 予め設定されている 2 値の中のいずれか 1 つの値を有する 1 ビットの 2 値データを与える 2 値データ供給手段と、

前記 2 値データ供給手段より与えられる N 個の前記 2 値データを加え合わせ、かつその総和を予め設定されている (N+1) 値の中のいずれか 1 つの値を有する (N+1) 値データに変換する第 1 の変換手段と、

前記加算手段により生成された前記 (N+1) 値データの値を検出し、かつその検出した値を所定ビット数の 2 進数データに変換する第 2 の変換手段とを有する加算演算装置。

【請求項 2】 前記加え合わせられる N 個の 2 値データの中の少なくとも 1 つは桁上げデータであり、前記第 2 の変換手段より得られる前記 2 進数の 2 値データの中の最下位ビットを和の出力とし、残りの全ての上位ビットを桁上げの出力とする請求項 1 に記載の加算演算装置。

【請求項 3】 予め設定されている量子化レベル的な 2 値の中のいずれか 1 つの値を有する 1 ビットの第 1 の電気的パラメータを与える 2 値パラメータ供給素子と、前記 2 値パラメータ供給素子より与えられる N 個 (N は 2 以上の整数) の前記第 1 の電気的パラメータを加え合わせ、かつその総和を予め設定されている量子化レベル的な (N+1) 値の中のいずれか 1 つの値を有する第 2 の電気的パラメータに変換する第 1 の変換手段と、前記加算手段により生成された前記第 2 の電気的パラメータの値を検出し、かつその検出した値を所定ビット数の 2 進数データに変換する第 2 の変換手段とを有する加算演算装置。

【請求項 4】 いずれかのビット線に接続され、1 ビット単位で 2 値情報に対応する量子化レベル的な 2 値の電荷を蓄積する複数のメモリセルと、相補的な各ビット線対に接続されたセンスアンプと、選択された N 個 (N は 2 以上の整数) のメモリセルにそれぞれ蓄積されている電荷を共通の 1 本または複数本のビット線上で加え合わせ、それら電荷量の総和に対応する電圧値を有する量子化レベル的な (N+1) 値のビット線電位を前記ビット線上に生成する加算手段と、前記ビット線電位を N の 2 進数表示に必要なビット数に等しい個数の前記センスアンプにそれぞれ対応する前記ビット線を介して別個に与えるビット線電位供給手段と、

前記複数のセンスアンプに前記ビット線電圧を検知するための予め設定された異なる比較基準電圧をそれぞれ与える比較基準電圧供給手段と、

前記複数のセンスアンプにそれぞれ所定のタイミングで各対応する前記比較基準電圧に基づいて前記ビット線電位を検出させ、それらセンスアンプのそれぞれの 2 値出力を組み合わせて加算値を表す 2 進数データを得るセンスアンプ制御手段とを有する加算演算機能付き半導体メ

モリ装置。

【請求項 5】 前記加算手段は、前記選択された N 個のメモリセルにそれぞれ蓄積されている電荷を加え合わせるのに先立って、前記共通の 1 本または複数本のビット線を所定の基準電位にプリチャージするためのプリチャージ手段を含む請求項 4 に記載の加算演算機能付き半導体メモリ装置。

【請求項 6】 前記加算手段は、前記選択された N 個のメモリセルにそれぞれ蓄積されている電荷を加え合わせるのに先立って、前記 N 個のメモリセルの一部または全部についてそれぞれの蓄積電荷を所定の別のメモリセルにそれぞれコピーする蓄積電荷コピー手段を含む請求項 4 に記載の加算演算機能付き半導体メモリ装置。

【請求項 7】 前記加算手段は、前記選択された N 個のメモリセルにそれぞれ蓄積されている電荷を加え合わせるのに先立って、前記 N 個のメモリセルの一部に蓄積されている電荷を論理反転して所定の別のメモリセルにコピーする反転コピー手段を含む請求項 4 に記載の加算演算機能付き半導体メモリ装置。

【請求項 8】 前記選択された N 個のメモリセルの中の少なくとも 1 つが桁上げデータを表す電荷を蓄積している請求項 4 に記載の加算演算機能付き半導体メモリ装置。

【請求項 9】 前記加算手段が、前記選択された N 個のメモリセルにそれぞれ蓄積されている電荷の和と、それぞれのキャパシタンスと、前記共通の 1 本または複数本のビット線の寄生容量とに応じた値のビット線電位を生成する請求項 4～8 のいずれかに記載の加算演算機能付き半導体メモリ装置。

【請求項 10】 前記ビット線電位供給手段が、前記相隣接する複数のセンスアンプのそれぞれのビット線の間接続されているトランジスタを含む請求項 4 に記載の加算演算機能付き半導体メモリ装置。

【請求項 11】 前記センスアンプ制御手段が、前記 2 進数の 2 値データを構成する 2 値出力の桁の高い方から順に前記複数のセンスアンプに所定の時間をずらしてセンシング動作を行わせる請求項 4 に記載の加算演算機能付き半導体メモリ装置。

【請求項 12】 前記比較基準電圧供給手段が、各上位の桁の前記センスアンプから得られる 2 値出力に応じてその 1 つ下位の桁の前記センスアンプに対する比較基準電位を決定する請求項 11 に記載の加算演算機能付き半導体メモリ装置。

【請求項 13】 いずれかのビット線に接続され、1 ビット単位で 2 値情報に対応する量子化レベル的な 2 値の電荷を蓄積する複数のメモリセルと、選択された N 個 (N は 2 以上の整数) のメモリセルにそれぞれ蓄積されている電荷を共通の 1 本のビット線上で加え合わせ、それら電荷量の総和に対応する電圧値を有する量子化レベル的な (N+1) 値のビット線電位を前

記ビット線上に生成する加算手段と、
相補的な各ビット線対に並列に接続されたM個（MはNの2進数表示に必要なビット数）のセンスアンプと、
前記ビット線電位を前記ビット線を介して前記M個のセンスアンプに別個に与えるビット線電位供給手段と、
前記M個のセンスアンプに前記ビット線電圧を検知するための予め設定された異なる比較基準電圧をそれぞれ与える比較基準電圧供給手段と、
前記M個のセンスアンプにそれぞれ所定のタイミングで各対応する前記比較基準電圧に基づいて前記ビット線電位を検出させ、それらセンスアンプのそれぞれの2値出力を組み合わせて加算値を表すMビットの2進数データを得るセンスアンプ制御手段とを有する加算演算機能付き半導体メモリ装置。

【発明の詳細な説明】

【0010】

【発明の属する技術分野】本発明は、2進数のデータについて加算演算を行う装置に係り、特に情報の記憶だけでなく加算の演算処理も行える半導体メモリ装置に関する。

【0020】

【従来の技術】図40に、2進数データに対する加算演算の原理を示す。被加数aおよび加数bのビット数をそれぞれ(n+1)とすると、最下位ビット(a0, b0)から順に1桁ずつ全部で(n+1)回の加算演算が行われる。各桁(x桁)の加算演算では、被加数ビットax、加数ビットbxおよび下位桁からのキャリービットcixの3つの入力ビットが同等の重み付けで加えられ、図示のような真理値表にしたがって和Sxおよび上位桁へのキャリービットCoxが生成される。

【0030】図41に、上記真理値表を表すブール代数と、このブール代数のロジックを忠実にゲート回路で実現する加算演算回路の回路構成を示す。従来のバイナリ加算演算装置は、図示のものよりはゲート数を少なくしているものの、基本的には同様の論理回路で構成されている。

【0040】

【発明が解決しようとする課題】上記のような従来の論理回路型の加算演算装置は、大規模なデータに対しては処理時間や効率性の点で限界がある。たとえば画像処理等で所要の加算演算処理を行う場合には、1画素ずつまたは1ラインずつ加算演算を繰り返し実行しなければならず、1フレームの全画像データについて加算演算を同時実行することはできない。そのため、全体では相当の演算時間を必要とする。また、1ライン分の加算演算回路を並列配置する構成では、回路規模が大型化する。

【0050】本発明の目的は、大規模なデータに対して同時的な加算演算を可能とする加算演算装置を提供することにある。

【0060】本発明の別の目的は、メモリアレイその

ものを利用して加算演算を実現する加算演算機能付き半導体メモリ装置を提供することにある。

【0070】本発明の他の目的は、ダイナミックRAM本来の機能であるデータ記憶を通常に行えるだけでなく、わずかな回路要素を付加した構成でデータの加算演算を実現する加算演算機能付き半導体メモリ装置を提供することにある。

【0080】

【課題を解決するための手段】上記の目的を達成するために、本発明の加算演算装置は、予め設定されている2値の中のいずれか1つの値を有する1ビットの2値データを与える2値データ供給手段と、前記2値データ供給手段より与えられるN個の前記2値データを加え合わせ、かつその総和を予め設定されている(N+1)値の中のいずれか1つの値を有する(N+1)値データに変換する第1の変換手段と、前記加算手段により生成された前記(N+1)値データの値を検出し、かつその検出した値を所定ビット数の2進数データに変換する第2の変換手段とを有する。

【0090】また、本発明の別の加算演算装置は、予め設定されている量子化レベル的な2値の中のいずれか1つの値を有する1ビットの第1の電気的パラメータを与える2値パラメータ供給素子と、前記2値パラメータ供給素子より与えられるN個(Nは2以上の整数)の前記第1の電気的パラメータを加え合わせ、かつその総和を予め設定されている量子化レベル的な(N+1)値の中のいずれか1つの値を有する第2の電気的パラメータに変換する第1の変換手段と、前記加算手段により生成された前記第2の電気的パラメータの値を検出し、かつその検出した値を所定ビット数の2進数データに変換する第2の変換手段とを有する。

【0100】また、本発明の加算演算機能付き半導体メモリ装置は、いずれかのビット線に接続され、1ビット単位で2値情報に対応する量子化レベル的な2値の電荷を蓄積する複数のメモリセルと、相補的な各ビット線対に接続されたセンスアンプと、選択されたN個(Nは2以上の整数)のメモリセルにそれぞれ蓄積されている電荷を共通の1本または複数本のビット線上で加え合わせ、それら電荷の総和に対応する電圧値を有する量子化レベル的な(N+1)値のビット線電位を前記ビット線上に生成する加算手段と、前記ビット線電位をNの2進数表示に必要なビット数に等しい個数の前記センスアンプにそれぞれ対応する前記ビット線を介して別個に与えるビット線電位供給手段と、前記複数のセンスアンプに前記ビット線電圧を検知するための予め設定された異なる比較基準電圧をそれぞれ与える比較基準電圧供給手段と、前記複数のセンスアンプにそれぞれ所定のタイミングで各対応する前記比較基準電圧に基づいて前記ビット線電位を検出させ、それらセンスアンプのそれぞれの2値出力を組み合わせて加算値を表す2進数データを得る

センスアンプ制御手段とを有する。

【0110】上記の半導体メモリ装置において、好ましくは、前記加算手段が、前記選択されたN個のメモリセルにそれぞれ蓄積されている電荷を加え合わせるのに先立って、前記共通の1本または複数本のビット線を所定の基準電位にプリチャージするためのプリチャージ手段を含んでよい。

【0120】また、好ましくは、前記加算手段が、前記選択されたN個のメモリセルにそれぞれ蓄積されている電荷を加え合わせるのに先立って、前記N個のメモリセルの一部または全部についてそれぞれの蓄積電荷を所定の別のメモリーセルにそれぞれコピーする蓄積電荷コピー手段を含んでよい。

【0130】また、好ましくは、前記加算手段が、前記選択されたN個のメモリセルにそれぞれ蓄積されている電荷を加え合わせるのに先立って、前記N個のメモリセルの一部に蓄積されている電荷を論理反転して所定の別のメモリセルにコピーする反転コピー手段を含んでもよい。

【0140】また、好ましくは、前記選択されたN個のメモリセルの中の少なくとも1つが桁上げデータを表す電荷を蓄積しているものであってよい。

【0150】また、好ましくは、前記加算手段が、前記選択されたN個のメモリセルにそれぞれ蓄積されている電荷の和と、それぞれのキャパシタンスと、前記共通の1本または複数本のビット線の寄生容量とに応じた値のビット線電位を生成する構成であってよい。

【0160】また、好ましくは、前記ビット線電位供給手段が、前記相隣接する複数のセンスアンプのそれぞれのビット線の間に接続されているトランジスタを含む構成であってよい。

【0170】また、好ましくは、前記センスアンプ制御手段が、前記2進数の2値データを構成する2値出力の桁の高い方から順に前記複数のセンスアンプに所定の時間をずらしてセンシング動作を行わせる構成であってよい。

【0180】また、好ましくは、比較基準電圧供給手段が、各上位の桁の前記センスアンプから得られる2値出力に応じてその1つ下位の桁の前記センスアンプに対する比較基準電位を決定する構成であってよい。

【0190】本発明の別の加算演算機能付き半導体メモリ装置は、いずれかのビット線に接続され、1ビット単位で2値情報に対応する量子化レベル的な2値の電荷を蓄積する複数のメモリセルと、選択されたN個(Nは2以上の整数)のメモリセルにそれぞれ蓄積されている電荷を共通の1本のビット線上で加え合わせ、それら電荷量の総和に対応する電圧値を有する量子化レベル的な(N+1)値のビット線電位を前記ビット線に生成する加算手段と、相補的な各ビット線対に並列に接続されたM個(MはNの2進数表示に必要なビット数)のセン

スアンプと、前記ビット線電位を前記ビット線を介して前記M個のセンスアンプに別個に与えるビット線電位供給手段と、前記M個のセンスアンプに前記ビット線電圧を検知するための予め設定された異なる比較基準電圧をそれぞれ与える比較基準電圧供給手段と、前記M個のセンスアンプにそれぞれ所定のタイミングで各対応する前記比較基準電圧に基づいて前記ビット線電位を検出させ、それらセンスアンプのそれぞれの2値出力を組み合わせることで加算値を表すMビットの2進数データを得るセンスアンプ制御手段とを有する。

【0200】

【発明の実施の形態】以下、図1～図39を参照して本発明の実施例を説明する。

【0210】先ず、図1～図5につき本発明の基本原理解を説明する。たとえば、2つの(n+1)ビット2進数データa($a_n \dots a_1 a_0$), b($b_n \dots b_1 b_0$)に対する加算演算を例にとると、本発明では図1に示すように、各桁の入力ビット(a_x, b_x, c_{ix})と出力ビット(c_{ox}, s_x)との間に4進数または4値の中間値 e_{4x} を導入する。この中間値 e_{4x} は、3つの入力ビット(a_x, b_x, c_{ix})を対等の重み付けで足し合わせて得られる値を4進数で表したものである。

【0220】第1ステップ①として、各入力ビット(a_x, b_x, c_{ix})を2進数の値(0/1)ではなく4進数上の値(0/1)とみて足し合わせると、4進数の中間値 e_{4x} が得られる。

【0230】次に、第2ステップとして、上記4進数の中間値 e_{4x} を2ビットの2進数データ[$e_{4x}(\text{MSB}), e_{4x}(\text{LSB})$]に変換する。ここで、この2進数データの上位ビット $e_{4x}(\text{MSB})$ は上位桁(x+1)へのキャリー c_{ox} に一致し、下位ビット $e_{4x}(\text{LSB})$ は当該桁(x)の和 s_x に一致する。つまり、通常的全加算器と同じ演算結果が得られる。

【0240】図2に、本発明の上記アルゴリズムを実現する加算演算装置の基本構成例を示す。

【0250】図示のように、キャパシタンスの等しい3つのコンデンサ C_a, C_b, C_c をそれぞれスイッチたとえばトランジスタ・スイッチSWを介して共通の導線DLに電気的に接続するとともに、導線DLの一端を4値検出型の電圧検出回路10に接続する。予め各コンデンサ C_a, C_b, C_c には所定の電荷Qを蓄えておくか、殆ど電荷を蓄えないようにする。これは2値情報の1もしくは0を書き込んでおくことに相当し、各コンデンサ C_a, C_b, C_c の電圧 V_a, V_b, V_c は所定の充電電圧値(たとえば3ボルト)もしくは非充電電圧値(たとえば0ボルト)のいずれかの値をとる。

【0260】全てのスイッチSWを一斉に閉じると、各コンデンサ C_a, C_b, C_c にそれぞれ蓄積されている電荷が導線DLを介して加え合わせられる。導線DL上の電位 V_{e4x} は、導線DLの寄生容量を無視すると、それ

ら蓄積電荷の総和 Q_t と各コンデンサ C_a , C_b , C_c のキャパシタンスとで決まる電圧値になる。キャパシタンスは一定であり、蓄積電荷の総和 Q_t は量子化レベルまたは離散レベルで4通り(0, Q , $2Q$, $3Q$)あるから、導線DL上の電位 V_{e4} は Q_t が0のときの値($V_{e4}(0)$ とする)、 Q_t が Q のときの値($V_{e4}(1)$ とする)、 Q_t が $2Q$ のときの値($V_{e4}(2)$ とする)、 Q_t が $3Q$ のときの値($V_{e4}(3)$ とする)の中のいずれかの値をとる。

【0270】電圧検出回路10は、この導線DL上の電位 V_{e4} が4値レベル($V_{e4}(0)$, $V_{e4}(1)$, $V_{e4}(2)$, $V_{e4}(3)$)のいずれに該当するかを検出または判別すればよい。この仕組みは、各々に液体が所定の容量 Q だけ入っているかそれとも殆ど入っていない3つの容器 K_a , K_b , K_c を4値目盛りの付いたメスシリンダ12に全部空け、メスシリンダ12の目盛りを読むことに類似する。

【0280】そして、電圧検出回路10は、その検出結果を2ビットの2進数データ[$V_{e4}(\text{MSB})$, $V_{e4}(\text{LSB})$]で出力すればよい。すなわち、 $V_{e4}(0)$ を検出したときは[0, 0]を出力し、 $V_{e4}(1)$ を検出したときは[0, 1]を出力し、 $V_{e4}(2)$ を検出したときは[1, 0]を出力し、 $V_{e4}(3)$ を検出したときは[1, 1]を出力すればよい。この2ビット2進数データの上位ビット $V_{e4}(\text{MSB})$ は上位桁($x+1$)へのキャリー c_{ox} に相当し、下位ビット $V_{e4}(\text{LSB})$ は当該桁(x)の和 s_x に相当する。

【0290】図3に、本発明による加算演算装置の別の基本構成例を示す。この方式は、各々の抵抗値を量子化レベル的な所定の2値(この例では R_1 , R_2)の中のいずれか1つに選択可能な3つの電流バス P_a , P_b , P_c を電源電圧 V_{cd} に対して並列に接続し、メインスイッチ SW_M を閉じたときに各電流バス回路 P_a , P_b , P_c に流れる電流 I_a , I_b , I_c が足し合わさった全電流 I_{e4} を適当な電流センサ14を用いて4値検出型の電流検出回路16が検出するようにしている。ここで、抵抗 R_1 抵抗値は、抵抗 R_0 の抵抗値よりも、たとえば1000倍程度大きいものとする。

【0300】各電流バス回路 P_a , P_b , P_c に設けられている設定スイッチ SW_a , SW_b , SW_c は2進数の値(0/1)に応じて図の左もしくは右の位置に切り換えられ、その切換位置に応じて各電流 I_a , I_b , I_c は量子化レベル的な所定の2値(I_0 , I_1 とする)の中のいずれか1つの値をとる。したがって、合成電流 I_{e4} は、量子化レベル的な4値[$3I_0$, ($2I_0 + I_1$), ($I_0 + 2I_1$), $3I_1$]の中のいずれか1つの値をとる。

【0310】電流検出回路16は、合成電流 I_{e4} が4値[$3I_0$, ($2I_0 + I_1$), ($I_0 + 2I_1$), $3I_1$]の中のいずれであるのかを検出し、その検出結果を

表す2ビットの2進数データ[$I_{e4}(\text{MSB})$, $I_{e4}(\text{LSB})$]を出力すればよい。

【0320】このように、本発明の加算演算装置では種々の電氣的パラメータを利用することが可能である。

【0330】以下の実施例では、本発明をダイナミックRAM(DRAM)に適用した応用例について説明する。

【0340】まず、図4および図5につき、本発明をDRAMで実現する場合の基本原理を説明する。

【0350】DRAM内では、1個のトランジスタと1個のキャパシタセル(コンデンサ)とからなる各メモリセルMCがいくつかのビット線 BL_i に電氣的に接続され、そのビット線 BL_i はそれと相補的なビット線 $BL_{\bar{i}}$ と対になっていくつかのセンスアンプ S/A に接続されている。各メモリセルMCにおいて、トランジスタはスイッチを構成し、キャパシタセルが電荷を蓄積する。

【0360】したがって、図4に示すように、たとえば3個のメモリセル MC_a , MC_b , MC_c が共通のビット線 BL_i を介してセンスアンプ S/A に電氣的に接続された構成を得ることができる。ここで、センスアンプ S/A を4値検出型のセンスアンプで構成すると、上記した図2の加算演算装置に相当するものが得られる。もっとも、DRAMでは、ビット線 BL の寄生容量 C_B がメモリセルMCのキャパシタンス C_s よりも格段に大きいため、この寄生容量 C_B も回路要素の1つに加えておく必要がある。

【0370】DRAMにおける通常のデータ記憶と同様に、各メモリセル MC_a , MC_b , MC_c にはデータ“1”を書き込むときは所定量の電荷 Q を蓄積させ、データ“0”を書き込むときには電荷を殆ど蓄積させないようにする。電圧レベルでみると、データ“1”には一定の充電電圧 V_{DD} (たとえば3ボルト)が対応し、データ“0”には非充電電圧(たとえば0ボルト)が対応する。

【0380】上記のように、2つの2進数データ a , b について各桁の加算演算を行う場合は、DRAMにおける通常の書き込み手順により各メモリセル MC_a , MC_b , MC_c に2値入力ビット(a_x , b_x , c_x)の値を予め書き込んでおく。

【0390】そして、ビット線対 BL_i , $BL_{\bar{i}}$ を通常の基準電圧である0.5 V_{DD} (V_{DD} は電源電圧)にブリチャージしてから、各対応するワード線 W_a , W_b , W_c をアクティブにして、各メモリセル MC_a , MC_b , MC_c の蓄積電荷を共通ビット線 BL_i を介して加え合わせる。そうすると、ビット線 BL_i の電位 V_{e4} は、図4の真理値表にしたがって次式(1), (2),

(3), (4)で表される4種類の電圧値 $V_{e4}(0)$, $V_{e4}(1)$, $V_{e4}(2)$, $V_{e4}(3)$ の中のいずれか1つの値をとる。

【0400】

9

$$V_{e4}(0) = 0.5V_{DD} \{1 - 3C_s / (C_B + 3C_s)\} \dots (1)$$

$$V_{e4}(1) = 0.5V_{DD} \{1 - C_s / (C_B + 3C_s)\} \dots (2)$$

$$V_{e4}(2) = 0.5V_{DD} \{1 + C_s / (C_B + 3C_s)\} \dots (3)$$

$$V_{e4}(3) = 0.5V_{DD} \{1 + 3C_s / (C_B + 3C_s)\} \dots (4)$$

【0410】上式(1)～(4)から、 $0 < V_{e4}(0)$ 、 $V_{e4}(1) < 0.5V_{DD}$ 、 $0.5V_{DD} < V_{e4}(2)$ 、 $V_{e4}(3) < V_{DD}$ の大小関係があること、さらに詳しくは $0 < V_{e4}(0) < 0.5V_{DD} \{1 - 2C_s / (C_B + 3C_s)\} < V_{e4}(1) < 0.5V_{DD} < V_{e4}(2) < 0.5V_{DD} \{1 + 2C_s / (C_B + 3C_s)\} < V_{e4}(3) < V_{DD}$ の大小関係があることがわかる。

【0420】そこで、本実施例における4値検出型のセンスアンプS/Aとして、たとえば図5に示すように一对の2値検出型センスアンプS/A1、S/A2を組み合わせたものを採用する。

【0430】第1のセンスアンプS/A1には、相補ビット線BLi-側からの比較基準電圧Vref1として $0.5V_{DD}$ を与える。センスアンプS/A1は、通常の2値型の検知増幅動作を行い、ビット線BLiの電位Ve4と比較基準電圧Vref1との大小関係に応じて“1”もしくは“0”の2値データを出力する。より詳細には、 $Ve4 > 0.5V_{DD}$ のときはBLi、BLi-上に(V_{DD} , 0)を出力し、 $Ve4 < 0.5V_{DD}$ のときはBLi、BLi-上に(0, V_{DD})を出力する。

【0440】一方、第2のセンスアンプS/A2には、相補ビット線BLi-側からの比較基準電圧Vref2として、上記第1のセンスアンプS/A1の検出結果が“1”のときは $0.5V_{DD} \{1 + 2C_s / (C_B + 3C_s)\}$ を与え、S/A1の検出結果が“0”のときは $0.5V_{DD} \{1 - 2C_s / (C_B + 3C_s)\}$ を与える。

【0450】このセンスアンプS/A2も、通常の2値型の検知増幅動作を行い、ビット線BLiの電位Ve4と比較基準電圧Vref2との大小関係に応じて“1”もしくは“0”の2値データを出力する。より詳細には、 $Ve4 > \{1 + 2C_s / (C_B + 3C_s)\}$ または $Ve4 > \{1 - 2C_s / (C_B + 3C_s)\}$ のときはBLi、BLi-上に(V_{DD} , 0)を出力し、 $Ve4 < \{1 + 2C_s / (C_B + 3C_s)\}$ または $Ve4 < \{1 - 2C_s / (C_B + 3C_s)\}$ のときはBLi、BLi-上に(0, V_{DD})を出力する。

【0460】この結果、センスアンプS/A1、S/A2より、 $Ve4(0)$ が検出されたときは(0, 0)、 $Ve4(1)$ が検出されたときは(0, 1)、 $Ve4(2)$ が検出されたときは(1, 0)、 $Ve4(3)$ が検出されたときは(1, 1)の2ビット2進数データ[$Ve4(MSB)$, $Ve4(LSB)$]が得られる。

【0470】上記と同様に、この2ビット2進数データの上位ビット $Ve4(MSB)$ を上位桁(x+1)へのキャリアーcoxとし、下位ビット $Ve4(LSB)$ を当該桁(x)の和

10

sxとすることができる。

【0480】次に、図6～図15につき、本実施例による加算演算機能付きDRAMの具体例の構成および作用を説明する。

【0490】図6に、この実施例における加算演算機能付きDRAMの要部の回路構成を示す。このDRAMにおいて、メモリセルアレイ、アレイ内のメモリセルMC、ワード線W、ビット線BLi、BLi-、センスアンプS/A等の基本要素は通常の構成である。各センスアンプS/Aとメモリアレイとを選択的に導通/遮断するために各ビット線BLi、BLi-上に設けられるトランスファゲート(T16, T17, T26, T27)も常套手段である。

【0500】特徴的な構成は、隣合う一对のセンスアンプS/A1、S/A2とメモリセルアレイとの間(図6の例ではトランスファゲートT16, T17, T26, T27の内側)に加算演算用のテンポラリーメモリセルMC01, MC02, MC11, MC12, MC13, MC21, MC22, MC23およびトランジスタT03, T04, T14, T15, T24, T25が付加されていることである。

【0510】より詳細には、ビット線BL1とアース電位との間に2個のテンポラリーメモリセルMC12, MC13が並列に接続される。MC13のトランジスタT13およびキャパシタC13の接続点とアース電位との間にはトランジスタT14が接続される。

【0520】ビット線BL2とアース電位との間に2個のテンポラリーメモリセルMC11, MC01が接続される。MC01のトランジスタT01およびキャパシタC01の接続点とビット線BL1との間にはトランジスタT03が接続される。ビット線BL1、BL2の間にトランジスタT15が接続される。

【0530】ビット線BL1とアース電位との間に2個のテンポラリーメモリセルMC22, MC23が並列に接続される。MC23のトランジスタT23およびキャパシタC23の接続点とアース電位との間にトランジスタT24が接続される。

【0540】ビット線BL2とアース電位との間に2個のテンポラリーメモリセルMC21, MC02が並列に接続される。MC02のトランジスタT02およびキャパシタC02の接続点とビット線BL1との間にはトランジスタT04が接続される。ビット線BL2、BL2-の間にトランジスタT25が接続される。

【0550】各トランジスタTにはシーケンス制御部20(図9)より所要の制御信号φが与えられる。詳細には、ビット線BL1、BL2上のトランスファゲートT17, T16にはφ1が与えられる。トランジスタT15には

φ2 が与えられる。テンポラリメモリセルMC11, MC12のそれぞれのトランジスタT11, T12にはφ3 が与えられる。テンポラリメモリセルMC13のトランジスタT13にはφ4 が与えられる。トランジスタT14にはφ5 が与えられる。テンポラリメモリセルMC01のトランジスタT01にはφ6 が与えられる。トランジスタT03にはφ7 が与えられる。

【0560】トランジスタT04にはφ8 が与えられる。テンポラリメモリセルMC02のトランジスタT02にはφ9 が与えられる。トランジスタT24にφ10が与えられる。テンポラリメモリセルMC23のトランジスタT23にφ11が与えられる。テンポラリメモリセルMC21, MC22のそれぞれのトランジスタT21, T22にφ12が与えられる。トランジスタT25にφ13が与えられる。トランスファゲートT26, T27にはφ14が与えられる。

【0570】シーケンス制御部20は、メモリ制御ロジック部(図示せず)等より通常のデータ書き込み/読み出しのためのコマンドCD1、本実施例における加算演算のためのコマンドCD2等を入力するほか、クロック回路(図示せず)よりクロックCKを入力し、所定のシーケンスおよびタイミングで上記の各種制御信号φを発生する。

【0580】図7に、センスアンプS/A(S/A1, S/A2)の回路構成を示す。このセンスアンプS/Aは、シーケンス制御部20からの相補的な一対の制御信号φA, φA-によってアクティブ状態となり、相補的なビット線対BL, BL-上の電位を入力し、その差分を検知して電源電圧VDDのレベル、アース電位のレベルまで増幅する2値検出型の差動増幅器として構成されている。

【0590】図6では図示していないが、各センスアンプS/Aの近傍またはメモリセルアレイの外側には、たとえば図8に示すような回路構成のブリチャージ回路22が設けられている。ブリチャージ給電線24は図示しないブリチャージ電源回路に接続されている。

【0600】シーケンス制御部20が制御信号φPをHレベルに活性化すると、ブリチャージ・トランジスタTP1, TP2およびイコライズ・トランジスタTP3がそれぞれ導通し、ブリチャージ電源回路からのブリチャージ基準電圧VPの電圧レベル(0.5VDD)にビット線対BLi, BLi-がブリチャージされるようになっていく。

【0610】図6において、各センスアンプS/Aiは、Yアドレスデコーダ(図示せず)からのYアドレス選択信号YSiによって択一的に選択される。選択されると、当該センスアンプS/Aiの入/出力つまりビット線対BLi, BLi-がデータ入出力線I/O, I/O-に接続されるようになっていく。

【0620】次に、このDRAMにおいて、図10に示すような2つの(n+1)ビット2進数データA(An

……A1 A0)、B(An ……A1 A0)を加算演算する場合の作用を説明する。なお、以下の説明で参照する図11~図21では、図解の容易化のため、Yアドレス選択線YSおよびデータ入出力線I/O, I/O-を省いている。

【0630】先ず加算演算を実行するに先立ち、DRAMにおける通常のライトモードで、加算演算の対象となる両2進数データA, Bをメモリセルアレイ内の適当なメモリセルMCに格納する。

【0640】たとえば、図11に示すように、加数データBのビットBn ……B1 B0をビット線BL1側に格納し、被加数データAのビットAn ……A1 A0をビット線BL2側に格納する。ここで、両データA, Bにおける同一の桁のビットを同一のワード線W上のメモリセルMCに書き込むことは重要である。なお、このデータ格納処理のような通常のDRAM動作では、加算演算用の制御信号φ2~φ13を非アクティブ状態(Lレベル)に固定しておく。

【0650】図12に、加算演算の最初のステップを示す。加算は最下位ビットA0, B0から始める。

【0660】先ず、最下位ビットA0, B0をそれぞれ格納しているメモリセルアレイ内の2つのメモリセルMC, MCに共通接続されているワード線W0を選択し、通常のDRAM読み出し手順によって、それら最下位ビットA0, B0の内容をビット線BL1, BL2を介してセンスアンプS/A1, S/A2にセンシングさせる。この際に、制御信号φ1, φ14をHレベルにして、各トランスファゲートT16, T17, T26, T27を導通させ、メモリセルアレイとセンスアンプS/A1, S/A2とを電気的に接続しておく。

【0670】センスアンプS/A1, S/A2のセンシング動作が完了した時点で、制御信号φ3をHレベルに活性化し、最下位ビットA0, B0の内容をテンポラリメモリセルMC11, MC12にそれぞれ書き込む。これにより、最下位ビットA0, B0の内容がメモリセルアレイ内のメモリセルMC, MCからテンポラリメモリセルMC11, MC12にそれぞれコピーされたことになる。

【0680】このコピー動作が完了した時点で、制御信号φ3をLレベルに戻し、テンポラリメモリセルMC11, MC12をそれぞれビット線BL1, BL2から電気的に遮断し、コピー内容を保存させる。また、両センスアンプS/A1, S/A2の動作を止めて、ワード線W0をLレベルに戻す。これで、メモリセルアレイ内でもコピー元の情報(A0, B0)が再書き込みされたことになる。

【0690】一方、制御信号φ5をHレベルにしてトランジスタT14を導通させ、テンポラリメモリセルMC13に2値データの“0”を書き込んでおく。この2値データ“0”は最下位桁演算の入力キャリアに用いられ

る。

【0700】上記コピー動作の後、図8のプリチャージ回路22を活性化して各ビット線対(BL1, BL1-), (BL2, BL2-)を基準電圧0.5VDDにプリチャージする。

【0710】次に、図13に示すように、プリチャージの状態下で制御信号φ12をHレベルに活性化して、テンポラリーメモリセルMC21, MC22にプリチャージ基準電圧0.5VDDを書き込む。その直後に、制御信号φ2, φ13を活性化(Hレベル)にして、トランジスタT15, T25を導通させ、ビット線BL1, BL2同士およびBL1-, BL2-同士をそれぞれ短絡状態で接続する。

【0720】なお、プリチャージの終了直前に、制御信号φ1, φ14をLレベルに戻してトランスファゲートT16, T17, T26, T27をオフ状態にしておく。これにより、以後の演算動作においてメモリセルアレイはセンスアンプS/Aから電氣的に切り放される。

【0730】上記プリチャージの終了後に、制御信号φ3, φ4をHレベルに活性化する。図14に、この状態を電気回路網としてわかりやすく示す。これは図4の電気回路網と同等または等価である。したがって、図4と同じ真理値表および式(1)~(4)が当てはまり、ビット線BL1, BL2上には図4の電位V_{e4}と同じ量子化レベル的な値を有する電位V_{data}が得られる。なお、この時点では、センスアンプS/A1はまだ活性化されてはいない。

【0740】次に、図15に示すように、制御信号φ2, φ13をLレベルに戻してトランジスタT15, T25をオフ状態にし、ビット線BL1, BL2同士およびBL1-, BL2-同士をそれぞれ電氣的に分離する。この分離の後でも、各ビット線BLはハイインピーダンス状態に置かれているため、その電位は変動しない。すなわち、ビット線BL1, BL2上の電位V_{data}は以前と同じ電圧値を維持し、ビット線BL1-, BL2-上の電位は基準電圧(0.5VDD)を維持する。

【0750】ここで、センスアンプS/A1を活性化する。センスアンプS/A1はビット線BL1上の電位V_{data}と相補ビット線BL1-上の基準電圧(0.5VDD)との間の電圧差を検知して増幅する。すなわち、V_{data}>0.5VDDのとき(つまりV_{data}(2)またはV_{data}(3)のとき)はビット線BL1上にVDDレベルの電圧を出力し、ビット線BL1-上にアース電位V_{GND}の電圧を出力する。また、V_{data}<0.5VDDのとき(つまりV_{data}(0)またはV_{data}(1)のとき)はビット線BL1上にアース電位V_{GND}の電圧を出力し、ビット線BL1-上にVDDレベルの電圧を出力する。

【0760】図16に、上記のようなセンシング動作を行う際のセンスアンプS/A1回りの電気回路網を示す。理解されるように、このセンスアンプS/A1のセンシング動作によってビット線BL1上に得られる2値

電圧(VDD/V_{GND})は最下位ビットA0, B0の加算演算結果のキャリー出力C₀を表す。

【0770】このようにセンスアンプS/A1が動作しても、ビット線BL2, BL2-上の電位は何の影響も受けることなく、それまでの電圧値V_{data} 0.5VDDをそれぞれ維持する。

【0780】センスアンプS/A1のセンシング動作の前後で制御信号φ7, φ8をHレベルに活性化してそれぞれトランジスタT03, T04を導通させ、センスアンプS/A1のセンシング情報をテンポラリーメモリセルMC01, MC02に書き込む。

【0790】つまり、センスアンプS/A1がビット線BL1上でV_{data}(2)またはV_{data}(3)を検出してビット線BL1, BL1-上にそれぞれVDD, V_{GND}を出力したときは、テンポラリーメモリセルMC01にビット線BL1-上の電圧V_{GND}が書き込まれるとともに、テンポラリーメモリセルMC02にビット線BL1上の電圧VDD(キャリー出力C₀=“1”)が書き込まれる。

【0800】また、センスアンプS/A1がビット線BL1上でV_{data}(0)またはV_{data}(1)を検出してビット線BL1, BL1-上にそれぞれV_{GND}, VDDを出力したときは、テンポラリーメモリセルMC01にビット線BL1-上の電圧VDDが書き込まれるとともに、テンポラリーメモリセルMC02にビット線BL1上の電圧V_{GND}(キャリー出力C₀=“0”)が書き込まれる。

【0810】もっとも、両テンポラリーメモリセルMC01, MC02のうち、この実施例において有効に機能するのはキャリー出力C₀をコピーするMC02だけであり、MC01は実質的に機能しない。

【0820】また、制御信号φ3, φ4が活性状態(Hレベル)を維持しているため、テンポラリーメモリセルMC12, MC13にもビット線BL1上のキャリー出力C₀の2値電圧(VDD/V_{GND})がコピーされる。このコピーが意味を持つのはキャリー格納用のMC13である。MC12にコピーされたデータは後の動作で他の情報と置き換えられてしまう。なお、この時点でも、センスアンプS/A2はまだ活性化されていない。

【0830】上記のようにしてテンポラリーメモリセルMC02へのキャリー出力C₀(VDD/V_{GND})のコピーが完了したなら、図17に示すように、制御信号φ7, φ8をLレベルに戻してトランジスタT03, T04を遮断する。

【0840】次いで、制御信号φ9をHレベルに活性化し、ビット線BL2-上で両テンポラリーメモリセルMC02, MC21にそれぞれ蓄積されている電荷を加え合わせる。

【0850】図18にこの時の状態を電気回路網としてわかりやすく示す。センスアンプS/A1の一方の差動入力であるビット線BL2上の電位V_{data}は図14の状態の時の電圧値つまりV_{data}(0)~V_{data}(3)のいずれ

かを維持している。しかし、他方の差動入力であるビット線BL2-上の電位Vref2は、テンポラリーメモリセルMC02に格納されていたキャリー出力Co (VDD/VGN) に応じて、次の式(5)または(6)のいずれかで表*

$$V_{ref2} = 0.5 V_{DD} \{1 + 2 C_s / (C_B + 3 C_s)\} \quad \cdots (5)$$

【0870】キャリー出力Co が0 (VGND) のとき ※ ※は、

$$V_{ref2} = 0.5 V_{DD} \{1 - 2 C_s / (C_B + 3 C_s)\} \quad \cdots (6)$$

【0880】図19に、これらの式(5)、(6)の導出を示す。なお、基準電圧供給回路のビット線BL2-に接続されるテンポラリーメモリセルMC02、MC21のキャ

【0890】再び図17において、上記のように制御信号φ9を活性化した直後に、センスアンプS/A2を活性化する。

【0900】キャリー出力Co が1 (VDD) であった場合、センスアンプS/A2はビット線BL2上の電位Vdata (Vdata(2) またはVdata(3)) と相補ビット線BL2-上の基準電圧Vref2 (5) との間の電圧差を検知して増幅する。

【0910】すなわち、Vdata > Vref2 (5) のとき (つまりVdata(3) のとき) はビット線BL2上に電圧VDDを出力し、ビット線BL2-上に電圧VGNDを出力する。また、Vdata < Vref2 (5) のとき (つまりVdata(2) のとき) はビット線BL2上に電圧VGNDを出力し、ビット線BL2-上に電圧VDDを出力する。

【0920】キャリー出力Co が0 (VGND) であった場合、センスアンプS/A2はビット線BL2上の電位Vdata (Vdata(0) またはVdata(1)) と相補ビット線BL2-上の基準電圧Vref2 (6) との間の電圧差を検知して増幅する。

【0930】すなわち、Vdata > Vref2 (6) のとき (つまりVdata(1) のとき) はビット線BL2上に電圧VDDを出力し、ビット線BL2-上に電圧VGNDを出力する。また、Vdata < Vref2 (6) のとき (つまりVdata(0) のとき) はビット線BL2上に電圧VGNDを出力し、ビット線BL2-上に電圧VDDを出力する。

【0940】こうして、センスアンプS/A2のセンシング動作によってビット線BL2上に得られる2値電圧 (VDD/VGND) は最下位ビットA0、B0の加算演算結果の和S0を表す。なお、ビット線BL1上の電位は最下位ビットA0、B0の加算演算結果のキャリー出力Coを表す2値電圧 (VDD/VGND) を維持している。

【0950】この結果、最下位ビットA0、B0に対する加算演算の結果が2進数データ ((Co, So) として両センスアンプS/A1、S/A2ないし両ビット線対B (BL1, BL1-)、(BL2, BL2-) に得られる。

【0960】次に、加算演算結果の2進数データ (Co

*される電圧値に移行する。

【0860】つまり、キャリー出力Co が1 (VDD) のときは、

So) をメモリセルアレイ内の適当な場所に格納する。たとえば、図20に示すように、制御信号φ1、φ14およびワード線W0を活性化して、加算対象の最下位ビットA0、B0が格納されていたメモリセルMCに上書きで格納してもよい。オリジナルデータA0、B0を保存したい場合は別のメモリセルMCに書き込んでよい。また、データ入出力線I/O、I/O-を介してデータ (Co, So) をメモリ外部に読み出すことも可能である。

【0970】以上で最下位ビットA0、B0に対する加算演算処理を終了する。次に、最下位から2番目 (第2桁) のビットA1、B1について上記と同様の処理を繰り返す。

【0980】すなわち、最初のステップでは、上記と同様の手順により、メモリセルアレイ内の該当のメモリセルMC、MCに格納されている演算対象のビットA1、B1の内容をテンポラリーメモリセルMC11、MC12にそれぞれコピーする。

【0990】ただし、図21に示すように、制御信号φ5をLレベル (非活性化レベル) に固定しておく。これによって、先 (下位桁) の加算演算でテンポラリーメモリセルMC13に格納されているキャリー出力Coを今回の加算演算ではキャリー入力C1に用いる。後の処理は上記した最下位ビットの加算演算のときと同じシーケンスで行われる。

【1000】上記の作用では、加算対象のデータをいったんメモリセルアレイに書き込み、それから加算演算を実行する手順について説明した。

【1010】しかし、データの書き込みと同時に加算演算を実行することも可能である。この場合は、メモリセルアレイ内で該当のワード線Wを活性化すると同時に、制御信号φ3も活性化して、メモリセルアレイ内に書き込まれるデータをテンポラリーメモリセルMC11、MC12にも書き込む。最下位ビットの加算演算では、上記と同様に制御信号φ5をHレベルに活性化して、テンポラリーメモリセルMC13へのデータ“0”の書き込みを行う。

【1020】そして、メモリセルアレイへのデータの書き込みの完了後に、制御信号φ1、φ14をLレベルに戻してトランスファゲートT16、T17、T26、T27を遮断し、メモリアレイを加算演算部から切り離す。その後は、上記と同様のシーケンスで加算演算処理を行えばよい。

【1030】次に、このDRAMにおいて加算演算だけでなく減算演算も行えるようにした実施例を説明する。

【1040】2進数における減算は、減数の2の補数値を算出し、被減数と減数の2の補数値を加算することによって達成される。

【1050】2進数の2の補数は、その2進数の全ビットを論理反転させ、その反転操作によって生成された値に1を加えることによって得られる。たとえば、8ビットの2進数[01011010]の2の補数を得るには、まず全てのビットを反転させる。この操作によって、2進数[10100101]が得られる。この数に1を加算して得られた数[10100110]が元の数の2の補数値である。

【1060】図22に、この実施例によるDRAMの要部の構成を示す。この実施例では、テンポラリメモリセルMC11、MC12、MC21、MC22に各々独立の制御信号φ31、φ32、φ121、φ122が与えられる。また、テンポラリメモリセルMC13、MC23に接続されるトランジスタT14、T24の他方の端子にはアース電位ではなく制御信号φ15が与えられる。その他の部分は上記した加算演算回路と同じ構成である。

【1070】もっとも、この実施例において、両テンポラリメモリセルMC11、MC12を同一の制御信号φで選択する構成としても構わない。実際、制御信号φ121、φ122は同じタイミングでしか制御しないので、同一の制御信号φとしてもよい。あえて別個の制御信号φ121、φ122としたのは、センスアンプの反対側で互いに別個の制御信号φ31、φ32に対応させ、センスアンプ部分のレイアウトの対象性を実現させやすい構成を提供するためである。

【1080】減算演算においても、演算に必要なデータ(A、B)を予め通常のDRAMのライトモードでメモリセルアレイ内の適当な場所に書き込んでおく。その場合、制御信号φのうち、φ2、φ31、φ32、φ4、φ5、φ6、φ7、φ8、φ9、φ10、φ11、φ121、φ122、φ13およびφ15を非活性化状態(Lレベル)に保ち、φ1とφ14をHレベルに活性化してトランスファゲートT16、T17、T26、T27を導通させれば、通常のDRAMになるので、その状態でデータの書き込みを行う。

【1090】減算演算の最初のステップでは、被減数(この例ではA)の最下位ビットA0をテンポラリメモリセルMC11へコピーする。これと同時に、減数(B)の2の補数の最下位ビットを生成する。

【1100】図23に、このステップで活性化される素子と制御信号を実線で示す。先ず、ワード線W0を活性化し、被減数Aおよび減数Bの最下位ビットA0、B0をビット線BL1、BL2を介してそれぞれセンスアンプS/A1、S/A2に読み出し、両センスアンプS/A1、S/A2に2値データA0、B0をセンシングさせる。その後、制御信号φ31、φ7、φ8をHレベルに

活性化する。それと同時に制御信号φ5、φ10、φ15もHレベルに活性化する。

【1110】もっとも、φ8、φ10はLレベルに保っていても構わない。この例では、センスアンプに対する制御信号の対象性を考慮し、それぞれ制御信号φ7、φ15とのバランスをとるために、φ8、φ10も活性化する。

【1120】上記の操作により、メモリセルアレイ内に格納されていた被減数Aの最下位ビットA0がセンスアンプS/A2を介してテンポラリメモリセルMC11にコピーされる。一方、減数Bの最下位ビットB0はセンスアンプS/A1に読み出され、ビット線BL1上に得られたビット反転された値B0がテンポラリメモリセルMC01に書き込まれる。

【1130】なお、ビット線BL1上に読み出されたB0のデータはテンポラリメモリセルMC02に書き込まれるが、この値は使われない。したがって、この書き込みは行わなくてもよい。

【1140】また、上記のように制御信号φ5、φ15が共にHレベルになることで、テンポラリメモリセルMC13にデータ“1”が書き込まれる。したがって、2つのテンポラリメモリセルMC01、MC13のデータの和は減数Bの2の補数の最下位ビットになっている。これで、減算に必要な最下位ビットの準備が完了したことになる。

【1150】次に、制御信号φ1、φ14をLレベルに戻して、メモリセルアレイを加算演算回路から切り離す。そして、制御信号φ31、φ7、φ8をLレベルに戻したうえで、ビット線対(BL1、BL1-)、(BL2、BL2-)およびセンスアンプS/A1、S/A2を0.5VDDにプリチャージする。制御信号φ5、φ10は次に続く減算操作の開始までにLレベルに戻しておく。

【1160】次に、最下位ビットの減算演算を開始する。すなわち、被減数Aの最下位ビットA0と減数Bの2の補数の最下位ビットを加算する。図24、図25、図26および図27にこの加算演算の一連の操作を示す。加算演算原理および操作手順は上記した加算演算と同じであるので、詳細な説明は省略する。

【1170】最下位ビットの次(第2桁)のビットに対する減算も基本的には最下位ビットの演算と同じである。ただし、減数の2の補数を生成する時に、最下位ビットでは“1”のデータをテンポラリメモリセルMC13に書き込んだが、最下位ビット以外では“1”を加える必要がないので、テンポラリメモリセルMC13に“1”データを書き込むという操作は行わない。

【1180】また、被減数Aの最下位ビットA0と減数Bの2の補数の最下位ビットとの加算演算の結果として、上記実施例と同様に両センスアンプS/A1、S/A2より2値のキャリー情報Coおよび和(サム)情報Soが得られる。キャリー情報Coは次の上位ビットの

減算演算が必要となる。都合のいいことに、図28に示すように、テンポラリーメモリセルMC13を上記実施例の加算演算のときと同様にキャリー情報C₀の一時保持エレメントとして使用できる。

【1190】本実施例においては、データのビット深さ方向に対しての並列演算は行わないが、データをまとめてDRAMに取り込み、上記のような1ビット加算(減算)演算をDRAM内の全てのデータについて同時に行うことができる。たとえば、DRAM内に4000組のセンスアンプ(S/A1, S/A2)があれば、一度に4000個の1ビット全加算(減算)演算を実行することができる。

【1200】このような一括演算処理は、たとえば画像処理において1フレーム分の画像データにフィルタ処理、補間処理、動き検出処理等を施すのに有利である。

【1210】上記した実施例では、トランスファゲートT16, T17, T26, T27の内側に加算演算部を設けている。これらのトランスファゲートは原理的には必要ない。しかし、加算演算時には、これらのトランスファゲートをオフ状態にしてメモリセルアレイ内のビット線を加算演算部から電気的に切り離すことができる。これにより、加算演算で用いるビット線BL1, BL1-, BL2, BL2-の有効部分の長さを短くし、ビット線容量負荷(寄生容量C_B)を小さくできるため、演算動作を高速に行えと同時に、容量負荷の充電に要する消費電力を少なくできるという利点がある。

【1220】また、上記実施例では、加算演算部を構成するセンスアンプが通常のDRAMにおいて隣合う一対のセンスアンプS/A1, S/A2から構成されている。このため、加算演算機能を付加するに際してセンスアンプ部の回路面積を増やす必要がなく、設計・製造の点でも動作の点でも効率が良い。

【1230】また、上記したように、演算に必要なデータ(A, B)をメモリセルアレイ内に格納するに際しては、同じ桁のビットを同一のワード線Wに接続されているメモリセルに書き込んでおくことができる。そして、その同一のワード線Wを選択して、それらのビットを同時に読み出し、両センスアンプS/A1, S/A2を介して加算演算部の所定のテンポラリーメモリセルMCに同時にコピーすることができる。

【1240】さらに、上記実施例における加算演算部内のテンポラリーメモリセルMCのうち、MC11, MC12, MC13, MC21, MC22, MC23を省き、それらの機能をメモリセルアレイ内のメモリセルに代用させることが可能である。

【1250】また、通常のDRAMと比較してセンスアンプ部の面積が倍増してしまうが、たとえば図29に示すように、本実施例による4値検出型のセンスアンプ(S/A1, S/A2)を1つのビット線対(BLi, BLi-)に割り当てる構成も可能である。

【1260】図29の構成においても、加算演算部のテンポラリーメモリセルMCのうちMC11, MC12, MC13, MC21, MC22, MC23を省き、それらの機能をメモリセルアレイ内のメモリセルに代替させることが可能である。

【1270】また、このように4値検出型のセンスアンプ(S/A1, S/A2)が1つのビット線対(BLi, BLi-)に1対1で対応する構成においては、メモリセルアレイ内で被加数(被減数)の2進数データAのビットと加数(減数)の2進数データBのビットとが同一のビット線上のメモリセルに格納され、加算演算時には図5のように同一のビット線BLi上で3つのメモリセルMCの蓄積電荷が加え合わせられることになる。

【1280】以下に、図30~図34につき、この方式のDRAMにおけるデータのアドレス割付法を説明する。説明を簡単に説明するために、被加数データA、加数データBのいずれも3ビット巾とし、各々8個連なったデータ群であるとする。

【1290】図30に、加算演算前にメモリ内に格納されているそれぞれのデータビットの配置を示す。ここで、A(b, t)において、bはビット位置(下位ビットから上位ビットに向かって0, 1, 2と番号を付けている。)を示し、tはデータ群の中での順位を示している。B(b, t)も同様である。C(x, t)は加算演算のキャリー情報を一時的に蓄える目的で使用される。

【1300】Xデコーダ30は、通常は行アドレス情報で指定される1本(行)のワード線を選択(活性化)するが、後述するように本実施例の加算演算モードでは同時に3本(行)のワード線を選択(活性化)できるように構成されている。Yデコーダ32は、列アドレス情報で指定される1個のセンスアンプS/A(i)をデータ入出力線に接続するように機能する。各列のセンスアンプS/A(i)は、上記したような一対のセンスアンプS/A1, S/A2を含んでいる。

【1310】加算演算は、上記したように最下位ビットから順次1メモリーオペレーションサイクル毎に1ビットずつ行う。1メモリーオペレーションサイクルは、通常のDRAMの1ビット読み出しサイクルと基本的には同じである。

【1320】上記した実施例と同様に、A(b, t)およびB(b, t)を通常のDRAMのライトモードで予めメモリーセルアレイ内に書き込んでおく。C(x, t)は全て“0”にしておく。

【1330】まず、第1メモリーオペレーションサイクルで最下位ビットの加算を行う。このため、図31に示すように最下位ビットA(0, t)、B(0, t)およびキャリービットC(x, t)の3つの行を同時に選択し、上記したような加算演算を実行する。そして、この演算の結果得られた和情報S₀はA(0, t)およびB(0, t)に、キャリー情報C₀はC(x,

t) にそれぞれライトバックされる。

【1340】第2メモリーオペレーションサイクルでは、図32に示すように最下位から2番目のビットA(1, t)、B(1, t)およびキャリービットC(0, t)の3つの行を同時に選択して上記と同様の加算演算を実行する。そして、その演算によって得られた和情報S1をA(1, t)および/またはB(1, t)に、キャリー情報C1をC(0, t)にそれぞれライトバックする。

【1350】第3メモリーオペレーションサイクルでは、図33に示すように3番目(最上位)のビットA(2, t)、B(2, t)およびキャリービットC(1, t)の3つの行を同時に選択して上記したような加算演算を実行する。そして、その演算によって得られた和情報S2をA(2, t)および/またはB(2, t)に、キャリー情報C2をC(1, t)にそれぞれライトバックする。

【1360】したがって、図34に示すように、最終的な加算演算結果のデータ(S2 S1S0 + C2)がメモリーアレイ内の各該当位置に蓄えられる。これらの演算結果データは、通常のDRAMにおけるリードモードで読み出すことができる。

【1370】この方式では、上記のように加算演算の際に複数のワード(行)を選択しなければならない。また、キャリー情報Cを格納しているワード(Wcとする)は全てのサイクルで選択されなければならない。さらに、演算結果後に、キャリー情報Cと和情報Sをライトバックするときは、両者のタイミングをずらさなければならない。

【1380】したがって、キャリー用のワード線Wcのオン/オフを他のワード線Wとは独立に制御するための制御回路を設ければよい。また、演算動作時にのみ2本のワード線を選択可能とする回路は、既に多くの例がある。

【1390】図35に、最も簡単な例の1つを示す。こ*

$$V(\text{LSB}) + W(\text{LSB}) + X(\text{LSB}) + Y(\text{LSB}) + Z(\text{LSB}) = 0 + 1 + 1 + 1 + 1 \\ = 4 \text{ (8進数)} = 100 \text{ (2進数)} \quad \dots\dots\dots (7)$$

【1450】下位桁からの桁上げを無視して、次の桁の※ ※和を求めると、以下のようになる。

$$V(2^0 \text{ LSB}) + W(2^0 \text{ LSB}) + X(2^0 \text{ LSB}) + Y(2^0 \text{ LSB}) + Z(2^0 \text{ LSB}) = 1 \\ + 1 + 0 + 0 + 1 = 3 \text{ (8進数)} = 011 \text{ (2進数)} \quad \dots\dots\dots (8)$$

【1460】上記式(7)の結果から、これら5個の数値の加算演算結果の最下位桁は2進数表示で“0”である。また、上記式(7)の結果から、次の上位桁への桁上げはないから、上記式(8)の結果において右端の数値“1”が加算演算結果の第2下位桁になり、2進数表示で“1”になる。

【1470】また、上記式(7)の結果において左端の値が“1”であるから、次の上位桁(つまり第3下位桁)への桁上げがある。これらを考慮すれば、加算演算結果の第3、第4下位桁はそれぞれ“0”、“1”にな

*の方式は、Xデコーダに入力されるXアドレス信号の最下位ビットX0、X0に制御信号SELを多重するものである。Xデコーダ30'は、SELが“0”の場合は1本のワード線を指定する通常のデコーダとして動作し、SELが“1”の場合は連続する2本のワード線を同時選択するデコーダとして動作する。なお、キャリーC用のワード線Wcを選択するための制御信号Carryは別個に与えられる。

【1400】上記した実施例では、2値情報(0/1)の加算演算を4値処理(2値→4値→2値)によって行うものであった。

【1410】しかし、上記の説明から理解されるように、本発明の原理は4値処理に限定されるものではなく、たとえば8値処理(2値→4値→2値)、16値処理(2値→16値→2値)も可能であり、あるいは10値処理(2値→10値→2値)等でも実現できる。本発明では、2値の加算演算が遂行目標であり、4値や8値等は加算演算の中間処理の際の値として扱われるだけである。

【1420】以下に、8値処理について説明する。数値の表現では、各桁の重みは2のべき乗になっている。したがって、たとえば8進数処理の際に1桁の数値“7”が演算結果として得られた場合、これを2進数に変換すれば“111”となって3桁の数値になる。2進数の加算演算操作としてみた場合、“111”の右端の“1”はその桁の数を示し、真ん中の“1”は次の上位桁への桁上がりがあることを示し、左端の“1”は2つ先の上位桁への桁上がりがあることを示している。

【1430】具体例として、2進数の数値V, W, X, Y, Zがあつて、V=10, W=11, X=01, Y=01, Z=11であるとする。

【1440】これら5個の数の加算演算を8値処理を介して演算し、2値数(2進数)の結果を得るものとする。まず、与えられた5個の数の最小桁の和を求めると、以下のようになる。

【1480】したがって、最終的に得られる加算結果は2進数表示で“1010”である。

【1490】以上から理解されるように、加算演算処理で8値(8進数)を用いると、桁上げ伝播が次の上位桁とその次(2つ先)の上位桁の上位2桁におよぶ。16値の場合は桁上げ伝播が上位3桁におよぶ。

【1500】2値情報の加算演算で8値処理を演算の中間処理で採用した場合は最大5個の数値情報の同時加算を行える。

【1510】各々の数値情報は2進数で与えられるから、1つの桁は“0”と“1”のいずれかの値をとる。たとえば8個の数値情報の加算演算では、各桁において可能な最小値はすべて“0”の場合で10進数表示0であり、可能な最大値はすべて“1”の場合で10進数表示8である。中間値(1~7)も含めると、9値状態をとり得る。8値処理では8値状態で制御するのが最も効率が良いので、同時演算は7個の数値情報とするのがよい。しかも、上記したように桁上げ情報が下位2桁から伝播してくることもあるため、結局、同時演算は5個の数値情報入力と2個の桁上げ情報入力で行われることになる。

【1520】容易に理解されるように、16値の場合の同時演算は、12個の数値情報入力と3個の桁上げ情報入力とで行われる。

【1530】図36に、3ビットまたは3桁の8値処理において5個の数値情報を同時加算するアルゴリズムを示す。 a_1, a_2, a_3, a_4, a_5 が5個の数値情報入力である。最下位桁の c_{02} は次の上位桁への桁上げ信号であり、 c_{01} は次の次の上位桁への桁上げ信号である。第3桁の c_{01} は次の次の上位桁への信号とせず、次の桁への信号としているが、次の桁の入力時に重み付け($\times 2$)すれば数学的に同義になることを利用している。

【1540】図37に、上記と同様の重み付けをすべての桁に適用した場合の加算演算のアルゴリズムを示す。

【1550】図38に、8値検出型のセンスアンプ回路の具体例を示す。この例では、テンポラリーメモリセルのうち、メモリセルアレイ内のデータをコピーしたり、桁上げ情報を一時的に保持するためのセルを省略している。図示のトランファゲートT13, T14, T15, T23, T24, T25も省略可能である。以下の説明では、制御信号 ϕ_1, ϕ_{12} を活性状態(Hレベル)に固定しておく。

【1560】この8値検出型のセンスアンプ回路は、通常のDRAMにおいて隣合う3つのセンスアンプS/A1, S/A2, S/A3から構成されている。

【1570】動作は上記実施例の4値検出型と基本的に同じである。メモリセルアレイ(図示せず)内の7つのメモリセルから(桁上げ情報も含めて)7個の2値情報にそれぞれ対応する量子化レベル的な2値の電荷をビット線BL1, BL2, BL3上に読み出す。その際、制御信号 ϕ_2, ϕ_3 を予めHレベルにして、トランジスタT12, T11を導通状態にしておく。

【1580】これにより、各ビット線BL1, BL2, BL3を介して各センスアンプS/A1, S/A2, S/A3の一方(左側)の差動入力端子に予め設定されている量子化レベル的な8値の電位 $V_{b8}(0) \sim V_{b8}(7)$ の中のいずれか1つの電位 V_{b8} が等しく伝わる。

【1590】この時点で、各センスアンプS/A1, S/A2, S/A3の他方(左側)の差動入力端子には所

定の基準電圧である0.5VDDが与えられている。制御信号 ϕ_{10}, ϕ_{11} も予めHレベルにして、トランジスタT21, T22を導通状態にしておくことはもちろんである。また、制御信号 ϕ_6, ϕ_7 をそれぞれHレベルに活性化し、制御信号 $\phi_4, \phi_5, \phi_8, \phi_9$ はそれぞれLレベルにしておく。

【1600】次に、 ϕ_3 と ϕ_{10} をそれぞれLレベルにしたうえで、センスアンプS/A1を活性化させ、ビット線BL1上の8値電位 V_{b8} が0.5VDDよりも高いか低いかを検出する。すなわち、MSB(2桁上位桁への桁上げビット)の検出を行う。

【1610】センスアンプS/A1のセンシング動作によりビット線対BL1, BL1は相補的にVDDとアース電位V_{GND}のレベルまでドライブされる。この時点で、ビット線BL2, BL3上の電位はそれぞれ上記8値電位 V_{b8} に維持されている。また、それぞれの相補ビット線BL2-, BL3-上の電位も上記基準電圧0.5VDDに維持されている。

【1620】センスアンプS/A1のセンシング動作によって得られる2値情報(VDD/V_{GND})は、トランジスタT04を介してテンポラリーメモリセルMC02に書き込まれる。

【1630】次に、 ϕ_8 をHレベルに活性化すると、センスアンプS/A2, S/A3における基準電圧V_{ref1}がセンスアンプS/A1のセンシング結果を反映した値V_{ref2}に調整される。図39に示すように、基準電圧V_{ref2}は8値電位 $V_{b8}(0) \sim V_{b8}(7)$ の1/4もしくは3/4の位置(レベル)である。この基準電圧V_{ref2}を得るために、テンポラリーメモリセルMC02のキャパシタセルC02のキャパシタンスが所定の値に選ばれる。

【1640】この後、 ϕ_2 と ϕ_{11} をLレベルにしたうえで、センスアンプS/A2を活性化させ、ビット線BL2上の電位 V_{b8} が該調整後の基準電圧V_{ref2}よりも高いか低いかを検出させる。すなわち、2nd MSB(1桁上位桁への桁上げビット)が検出される。

【1650】この場合も、センスアンプS/A2のセンシング動作によってビット線対BL2, BL2は相補的にVDDとV_{GND}のレベルまでドライブされるが、ビット線BL3上の電位は上記8値電位 V_{b8} に維持され、ビット線BL3-上の電位は上記基準電圧(8値の1/4または3/4レベル)に維持されている。

【1660】センスアンプS/A2のセンシング動作によって得られる2値情報(VDD/V_{GND})は、トランジスタT08を介してテンポラリーメモリセルMC06に書き込まれる。

【1670】次に、 ϕ_9 をHレベルに活性化すると、センスアンプS/A3における基準電圧V_{ref2}がセンスアンプS/A2のセンシング結果を反映した値V_{ref3}に調整される。図39に示すように、V_{ref3}は8値電位 $V_{b8}(0) \sim V_{b8}(7)$ の1/8, 3/8, 5/8もしくは7/

10

20

30

40

50

8の位置(レベル)である。この基準電圧 V_{ref3} を得るために、テンポラリメモリセルMC06のキャパシタセルC06のキャパシタンスが所定の値に選ばれる。

【1680】この後、センスアンプS/A3を活性化させ、ビット線BL3上の電位 V_b が該調整後の基準電圧 V_{ref3} よりも高いか低いかを検出させる。このセンシング動作の結果として、LSB(和情報S)が得られる。

【1690】

【発明の効果】以上説明したように、本発明によれば、大規模なデータに対して同時的な加算演算が行える。また、メモリアレイそのものを利用して加算演算を実現することも可能であり、その場合にはダイナミックRAM本来の機能であるデータ記憶を通常に行えるだけでなく、わずかな回路要素を付加した構成でデータの加算演算を実現できる。

【図面の簡単な説明】

【図1】本発明における2進数の加算演算の基本原理解を示す図である。

【図2】本発明の加算演算アルゴリズムを実現する加算演算装置の基本構成例を示す図である。

【図3】本発明の加算演算装置の別の基本構成例を示す図である。

【図4】本発明をDRAMで実現する場合の基本原理解を示す図である。

【図5】本発明をDRAMで実現する場合の基本原理解を示す図である。

【図6】本発明の一実施例による加算演算機能付きDRAMの要部の回路構成を示す図である。

【図7】実施例におけるセンスアンプの構成例を示す回路図である。

【図8】実施例におけるブリチャージ回路の構成例を示す回路図である。

【図9】実施例におけるシーケンス制御回路の構成例を示すブロック図である。

【図10】実施例における加算演算のアルゴリズムを示す図である。

【図11】実施例のDRAMにおける加算演算の一段階を示す図である。

【図12】実施例のDRAMにおける加算演算の一段階を示す図である。

【図13】実施例のDRAMにおける加算演算の一段階を示す図である。

【図14】実施例のDRAMにおける加算演算の一段階を示す図である。

【図15】実施例のDRAMにおける加算演算の一段階を示す図である。

【図16】実施例のDRAMにおける加算演算の一段階を等価的な電気回路網で示す図である。

【図17】実施例のDRAMにおける加算演算の一段階を示す図である。

【図18】実施例のDRAMにおける加算演算の一段階を等価的な電気回路網で示す図である。

【図19】実施例における基準電圧の導出を示す図である。

【図20】実施例のDRAMにおける加算演算の一段階を示す図である。

【図21】実施例のDRAMにおける加算演算の一段階を示す図である。

【図22】別の実施例によるDRAMの要部の構成を示す図である。

【図23】実施例のDRAMにおける減算演算の一段階を示す図である。

【図24】実施例のDRAMにおける減算演算の一段階を示す図である。

【図25】実施例のDRAMにおける減算演算の一段階を示す図である。

【図26】実施例のDRAMにおける減算演算の一段階を示す図である。

【図27】実施例のDRAMにおける減算演算の一段階を示す図である。

【図28】実施例のDRAMにおける減算演算の一段階を示す図である。

【図29】別の実施例によるDRAMの要部の構成を示す図である。

【図30】図29の方式におけるデータの割付法を説明するための図である。

【図31】図29の方式におけるデータの割付法を説明するための図である。

【図32】図29の方式におけるデータの割付法を説明するための図である。

【図33】図29の方式におけるデータの割付法を説明するための図である。

【図34】図29の方式におけるデータの割付法を説明するための図である。

【図35】図29の方式に使用可能なXデコーダの構成例を示す図である。

【図36】本発明の8値処理のアルゴリズムを示す図である。

【図37】本発明の8値処理の別のアルゴリズムを示す図である。

【図38】本発明の実施例による8値検出型のセンスアンプ回路の構成を示す図である。

【図39】本発明の8値処理の作用を説明するための図である。

【図40】従来における2進数の加算演算方法を示す図である。

【図41】従来の加算演算装置を示す図である。

【符号の説明】

Ca, Cb, Cc コンデンサ

10 4値検出型電圧検出回路

Pa, Pb, Pc 電流バス回路

16 4値検出型電流検出回路

S/A 4値検出型センスアンプ

S/A1, S/A2, S/A3 2値検出型センスアンプ

BL1, BL1- 相補のビット線対

BL2, BL2- 相補のビット線対

BL3, BL3- 相補のビット線対

【図1】

a_x	b_x	c_x	$e4_x$	co_x	s_x
0	0	0	0	0	0
1	0	0	1	0	1
0	1	0	1	0	1
0	0	1	1	0	1
1	1	0	2	1	0
1	0	1	2	1	0
0	1	1	2	1	0
1	1	1	3	1	1

① 2進数→4進数

$$a_x + b_x + c_x \quad (2進数)$$

|||

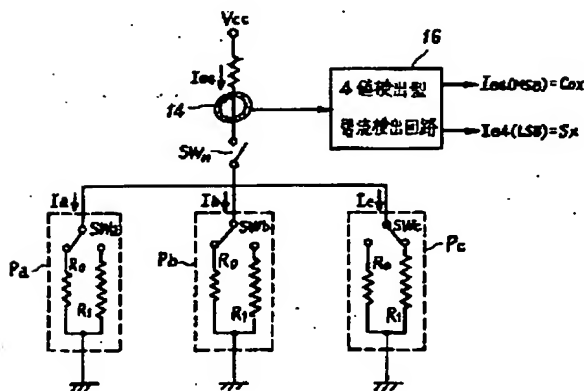
$$e4_x \quad (4進数)$$

② 4進数→2進数

$$co_x = e4_x(MSB)$$

$$s_x = e4_x(LSB)$$

【図3】



* MC01, MC02 テンポラリーメモリセル

MC11, MC12, MC13 テンポラリーメモリセル

MC21, MC22, MC23 テンポラリーメモリセル

T03, T04, T14, T24, T15, T25 トランジスタ

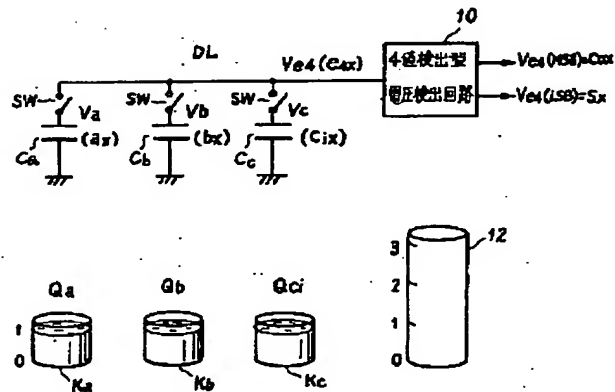
20 シーケンス制御部

22 プリチャージ回路

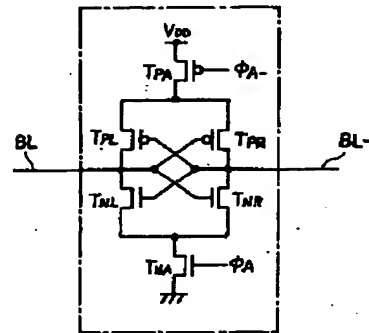
30 Xデコーダ

* 32 Yデコーダ

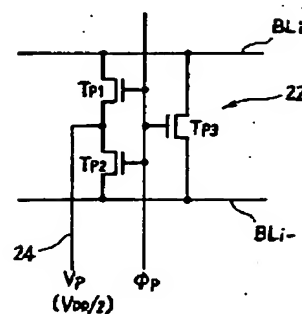
【図2】



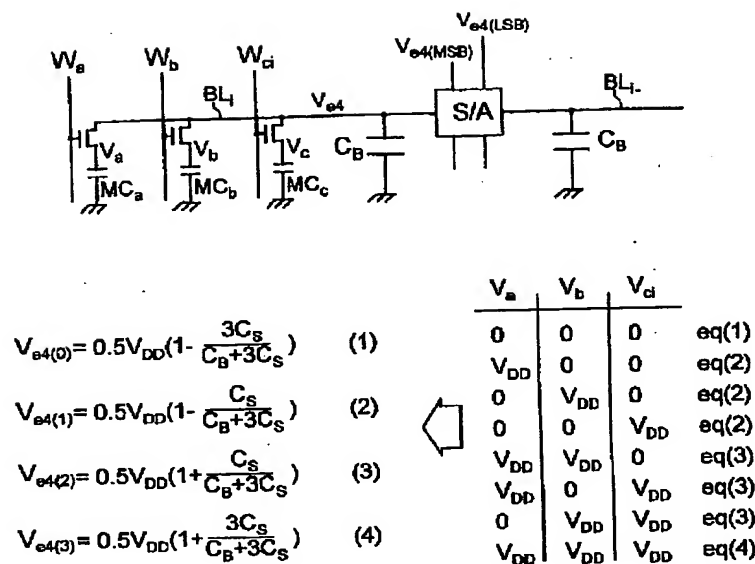
【図7】



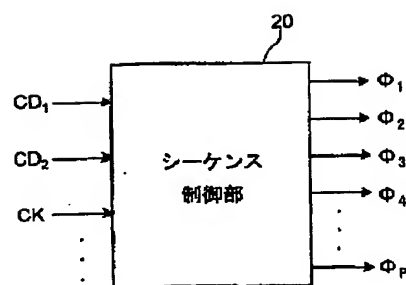
【図8】



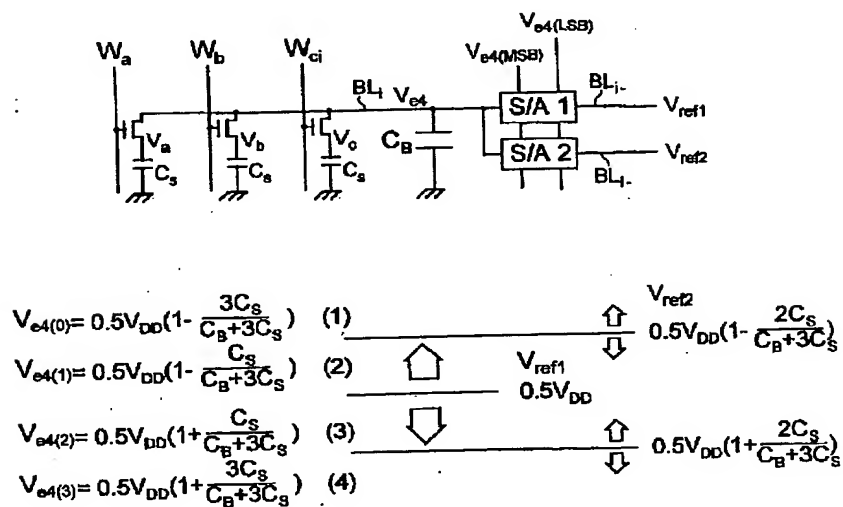
【図4】



【図9】



【図5】



【図10】

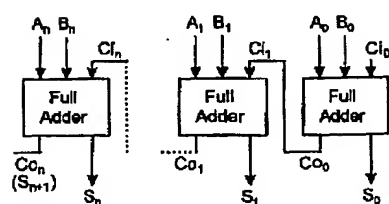
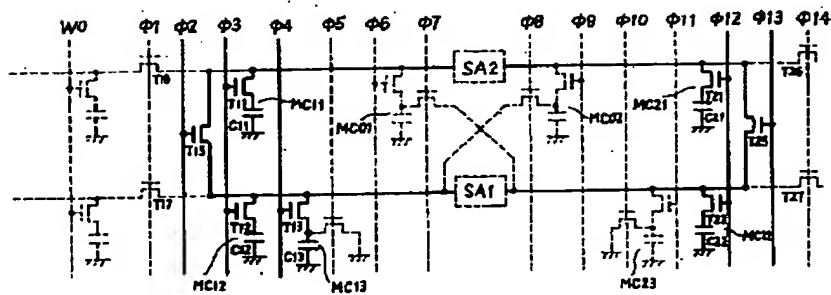


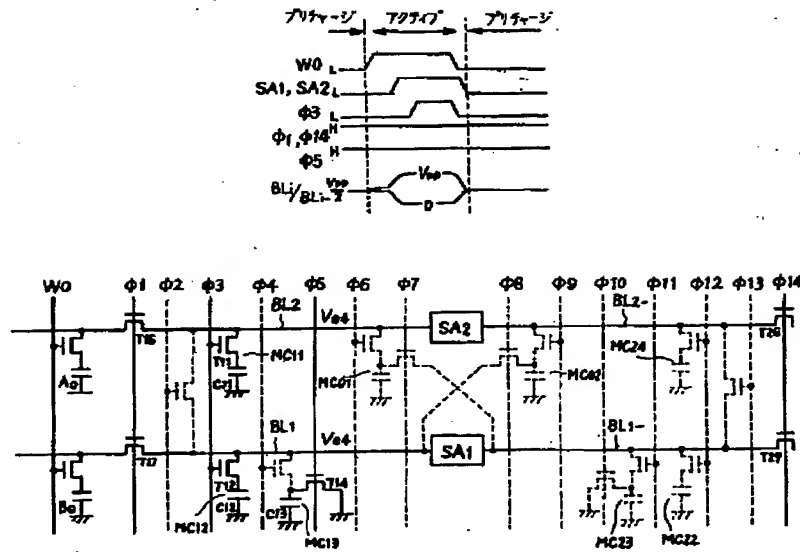
図1

メモリセルアレイ

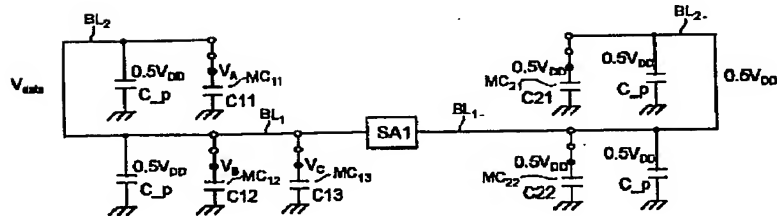
アプリケーション
 Φ12
 Φ2, Φ13
 Φ3
 Φ4



【図12】



【図14】



$$C11=C12=C13=C_s, C_{-p} = \frac{C_s}{2}$$

$$V_{data(0)} = 0.5V_{DD} \left(1 - \frac{3C_s}{C_s + 3C_{-p}}\right) \quad (1)$$

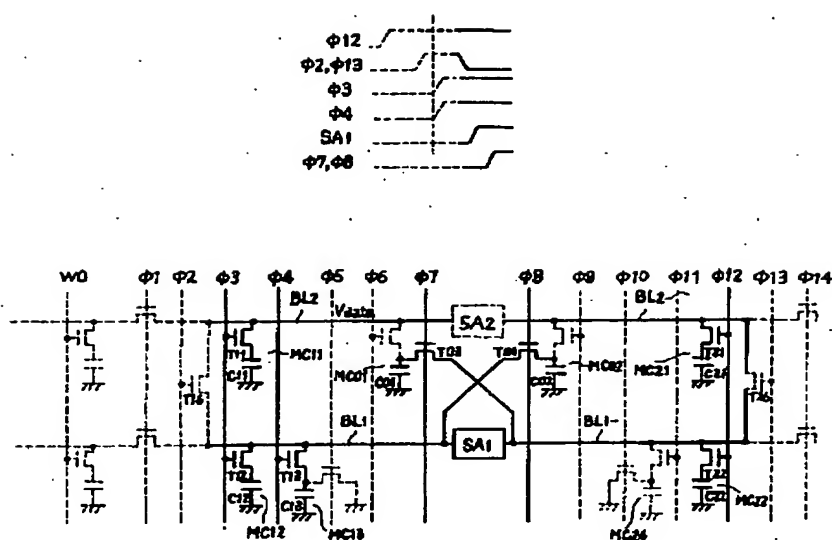
$$V_{data(1)} = 0.5V_{DD} \left(1 - \frac{C_s}{C_s + 3C_{-p}}\right) \quad (2)$$

$$V_{data(2)} = 0.5V_{DD} \left(1 + \frac{C_s}{C_s + 3C_{-p}}\right) \quad (3)$$

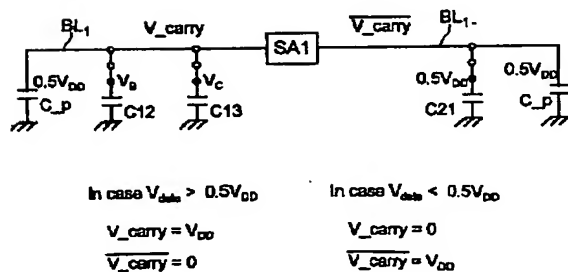
$$V_{data(3)} = 0.5V_{DD} \left(1 + \frac{3C_s}{C_s + 3C_{-p}}\right) \quad (4)$$

V_A	V_B	V_C	
0	0	0	eq(1)
V_{DD}	0	0	eq(2)
0	V_{DD}	0	eq(2)
0	0	V_{DD}	eq(2)
V_{DD}	V_{DD}	0	eq(3)
V_{DD}	0	V_{DD}	eq(3)
0	V_{DD}	V_{DD}	eq(3)
V_{DD}	V_{DD}	V_{DD}	eq(4)

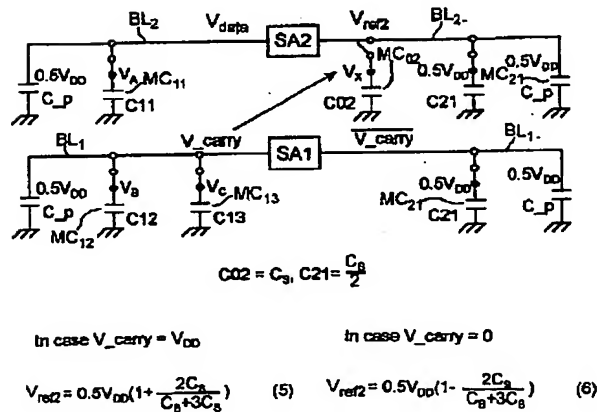
【図15】



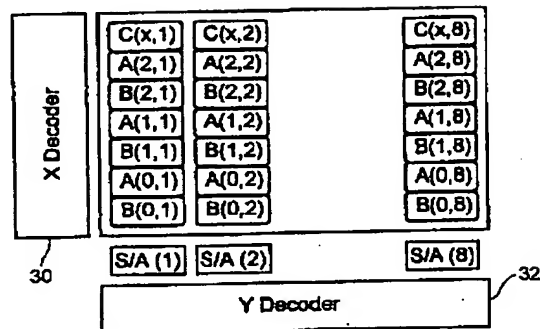
【図16】



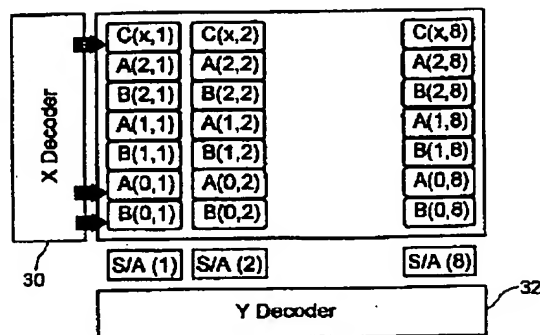
【図18】



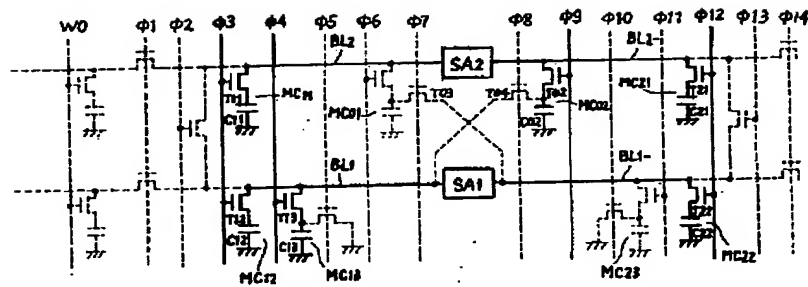
【図30】



【図31】



Timing diagram for the 74181 ALU. The signals shown are ϕ_{12} , ϕ_{13} , ϕ_3 , ϕ_4 , SA1, ϕ_7 , ϕ_8 , ϕ_9 , and SA2. The diagram illustrates the sequence of operations performed by the ALU, including data transfer, comparison, and arithmetic operations.



式(6)の導出

Charge at time 0^+ is given by

$$Q(0^+) = 0.5V_{DD} \left(\frac{C_B}{2} + \frac{C_S}{2} \right)$$

$$V_{\text{ref}} = \frac{Q(0^+)}{\frac{C_1}{2} + \frac{C_2}{2} + C_3}$$

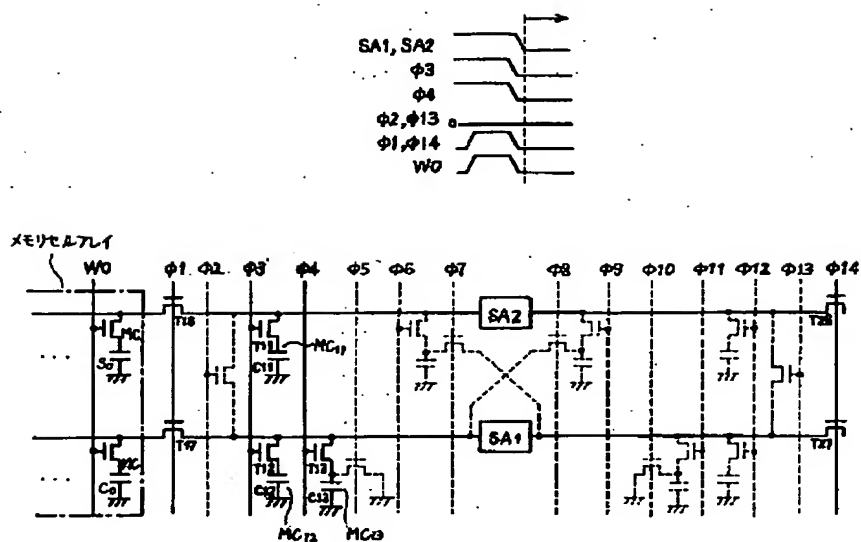
$$= \frac{0.5V_{\text{DD}}(\frac{C_1}{2} + \frac{C_2}{2} + C_3) - 0.5V_{\text{DD}}C_3}{\frac{C_1}{2} + \frac{C_2}{2} + C_3}$$

$$= 0.5V_{\text{DD}}(1 - \frac{2C_3}{C_1 + 3C_3})$$

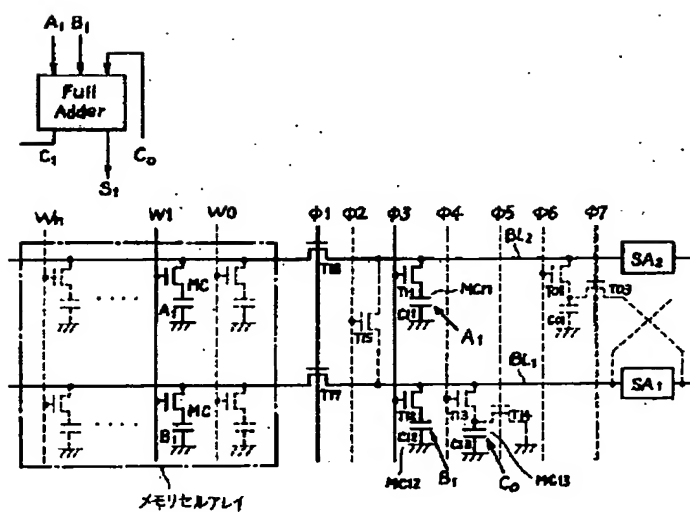
The schematic diagram illustrates the control system for a 1000 kVA transformer. It features a 10kV busbar at the top, which is connected to various components. Key elements include:

- Relays:** SA1 and SA2 are central components, likely used for switching or protection.
- Switches:** MC11, MC12, MC13, MC21, MC22, and MC23 are distributed throughout the circuit, possibly representing motor control or protection switches.
- Fuses:** F1, F2, and F3 are shown, providing overcurrent protection for different parts of the system.
- Wiring:** The diagram shows a complex network of lines connecting these components to the busbar and each other, with labels like 10kV, 10kV, and 10kV indicating the voltage levels.

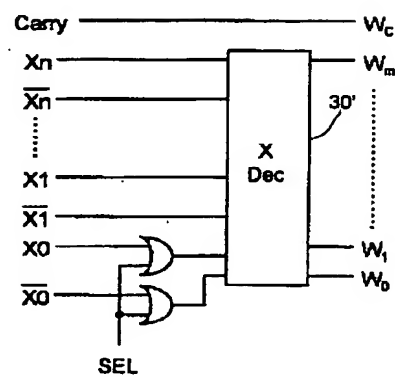
【図20】



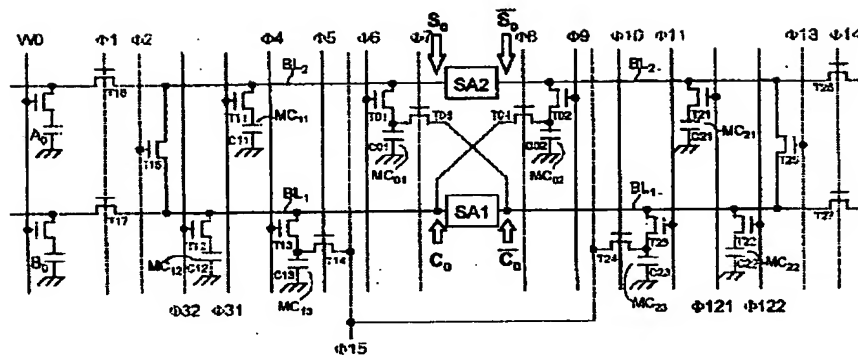
【図21】



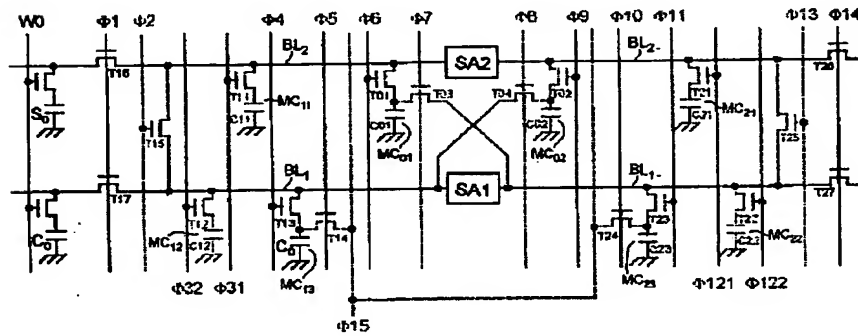
【図35】



【図26】



【図27】



【図28】

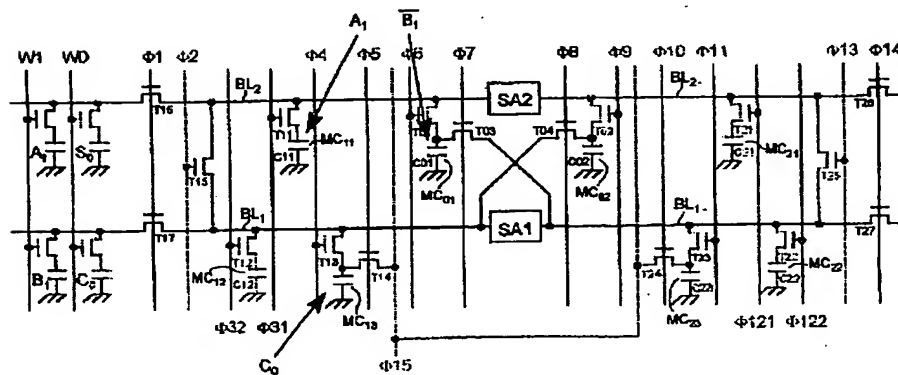
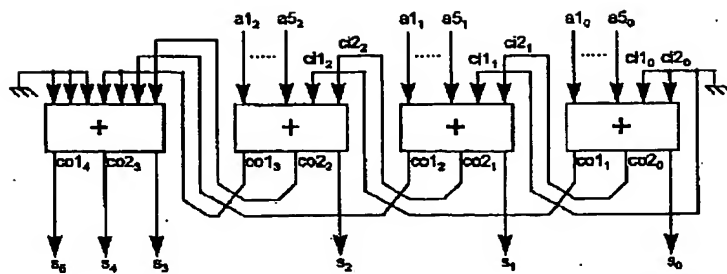


Figure 1 is a block diagram of a 3D memory array. The array is organized into columns labeled C(0,1), C(0,2), and C(0,8). Each column contains eight cells, with addresses A(2,1), B(2,1), A(1,1), B(1,1), S(0,1), and S(0,1) for column C(0,1); A(2,2), B(2,2), A(1,2), B(1,2), S(0,2), and S(0,2) for column C(0,2); and A(2,8), B(2,8), A(1,8), B(1,8), S(0,8), and S(0,8) for column C(0,8). An X Decoder (30) provides column addresses to the array. A Y Decoder (32) provides row addresses to the array.

Block diagram of a 3D memory array 30. The array consists of a grid of memory cells. The first two columns are labeled C(1,1) through S(0,1) and C(1,2) through S(0,2). The eighth column is labeled C(1,8) through S(0,8). Below the grid are three S/A blocks labeled S/A (1), S/A (2), and S/A (8). A Y Decoder is at the bottom, connected to the grid.

Figure 1 is a block diagram of a 2D array structure. The array is organized into three columns. The first column is labeled "X Decoder" and contains elements C(2,1), S(2,1), S(2,1), S(1,1), S(1,1), S(0,1), and S(0,1). The second column is labeled "Y Decoder" and contains elements C(2,2), S(2,2), S(2,2), S(1,2), S(1,2), S(0,2), and S(0,2). The third column is labeled "S/A (8)" and contains elements C(2,8), S(2,8), S(2,8), S(1,8), S(1,8), S(0,8), and S(0,8). The entire structure is labeled "30".

【図36】

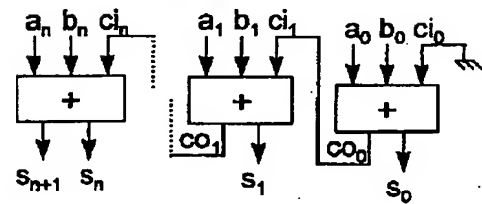


【図40】

(加算演算式)

$$\begin{array}{r}
 a_n \dots\dots a_1 a_0 : a \\
 + \quad b_n \dots\dots b_1 b_0 : b \\
 \hline
 s_{n+1} s_n \dots\dots s_1 s_0
 \end{array}$$

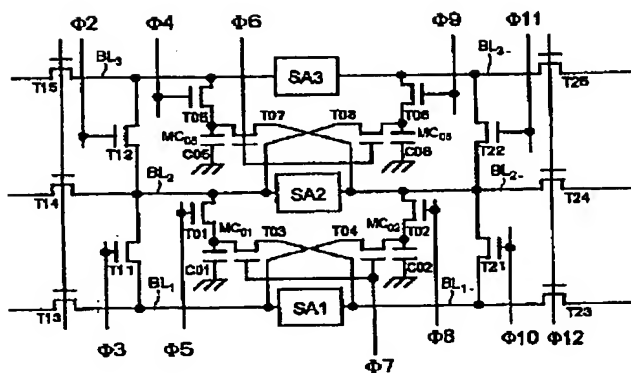
(加算演算アルゴリズム)



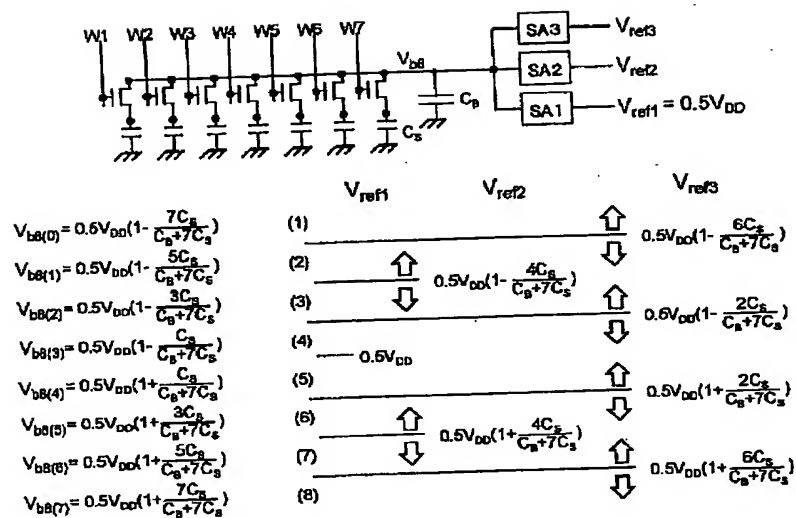
(真値値表)

a_x	b_x	c_x	co_x	s_x
0	0	0	0	0
1	0	0	0	1
0	1	0	0	1
0	0	1	0	1
1	1	0	1	0
1	0	1	1	0
0	1	1	1	0
1	1	1	1	1

【図38】



【図39】



【図41】

(ブール代数による演算式)

$$s_x = a_x \bar{b}_x \bar{c}_i + \bar{a}_x b_x \bar{c}_i + \bar{a}_x \bar{b}_x c_i + a_x b_x c_i$$

$$co_x = \bar{a}_x \bar{b}_x \bar{c}_i + \bar{a}_x b_x \bar{c}_i + a_x \bar{b}_x c_i + a_x b_x \bar{c}_i$$

(加算演算回路)

